

Victory Device

3次元デバイス・シミュレータ

SILVACO

概要

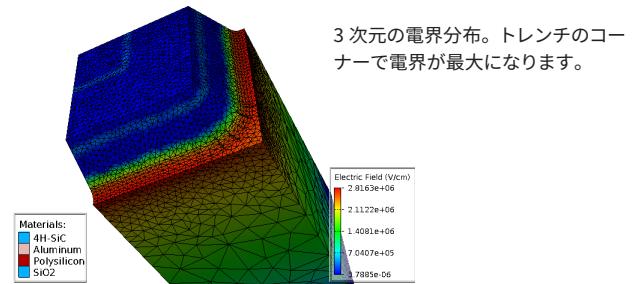
Victory Deviceは、4面体メッシュ・エンジンを使用して複雑な3次元形状を高速かつ高精度にシミュレートする3次元デバイス・シミュレータです。シリコン、2元/3元/4元系材料のデバイスに対してDC、AC、過渡解析を実行できます。

特長

- 4面体メッシュにより3次元形状を正確に表現
- コンフォーマルなDelaunayメッシュに対応したボロノイ離散化法
- カスタマイズ可能なシリコンや化合物材料データベースを持つ先進物理モデルに対応
- ストレス依存移動度モデルおよびバンドギャップ・モデルに対応
- Cインタプリタまたは動的リンクされたライブラリを用いて、カスタマイズ可能な物理モデルに対応
- DC解析、AC解析、過渡解析を実行可能
- ドリフト拡散方程式とエネルギー・バランス輸送方程式を採用
- 熱生成、熱フロー、格子熱、ヒート・シンク、温度依存材料パラメータを含む、自己発熱効果のシミュレーションが可能
- 任意の数の化学種について電気化学反応、および輸送のシミュレーションを行う各種手法
- 高度にカスタマイズ可能なモデルにより、性能劣化、原子種輸送、および複雑な電荷捕獲機構のシミュレーションが可能
- 高度なマルチスレッド数値ソルバ・ライブラリを採用
- Atlasデバイス・シミュレータ構文と互換
- お客様とサード・パーティ企業の大切な知的財産を守る、シルバコの強力な暗号化技術を利用可能

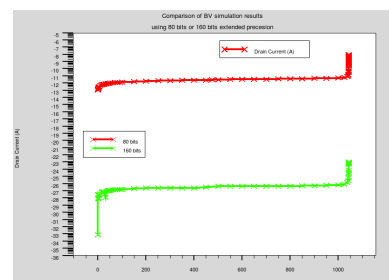
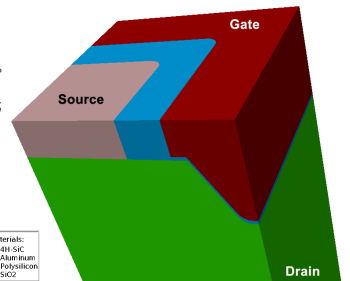
SiCの適用例

3次元トレンチ型SiC MOSFETのシミュレーションは、トレンチの上部と下部に丸みを帯びたコーナーがあります。自動で完全に3次元のDelaunayメッシュとそれに対応する離散化、および拡張精度の数値計算によって、シミュレーション時間と精度の最適化を実現しています。



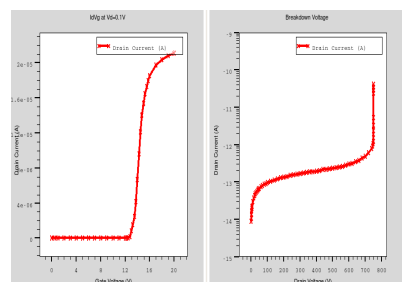
3次元の電界分布。トレンチのコーナーで電界が最大になります。

コーナーにおいて現実的なプロセス形状を持たせた3次元トレンチ型SiC MOSFET



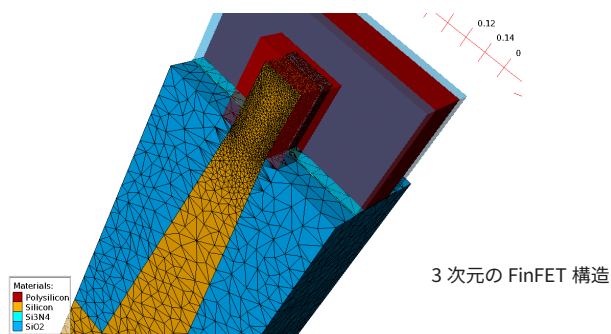
3次元SiC MOSFETのシミュレーション結果を異なる拡張精度(80ビットと160ビット)を使用して比較

3次元トレンチ型SiC MOSFETの I_D vs V_{GS} および耐圧シミュレーションの結果

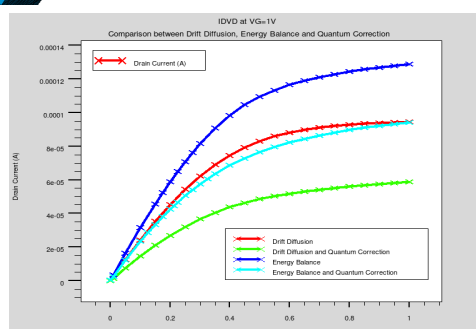


FinFET の適用例

3次元で完全に非構造格子型の四面体メッシュによる3次元FinFETのシミュレーションを示しています。このメッシュのドーピングおよび界面における細分化などはすべて自動化されています。

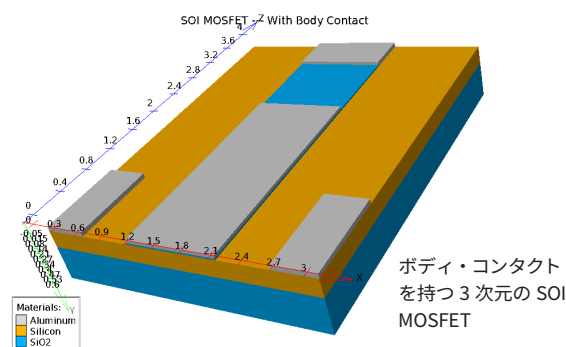


ドリフト拡散、エネルギー・バランス、量子補正の比較

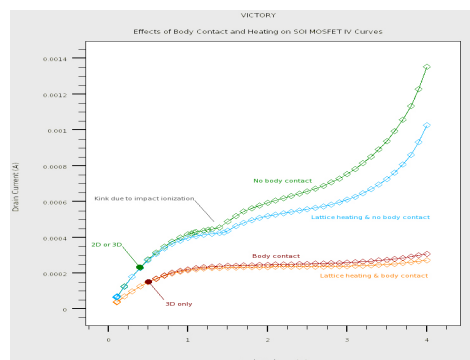


SOI の適用例

3次元SOI MOSFETデバイスのシミュレーションは、キंक効果を抑制するためのボディ・コンタクトの使用法を示しています。また、IV曲線における格子加熱の効果も表しています。

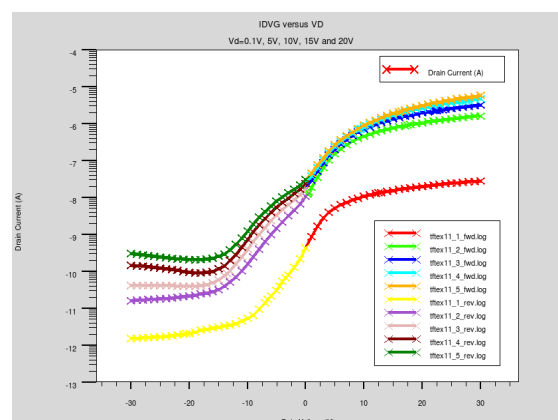


ボディ・コンタクトを持つ3次元SOI NMOSFETのIdVd特性。キंक抑制効果を示しています。

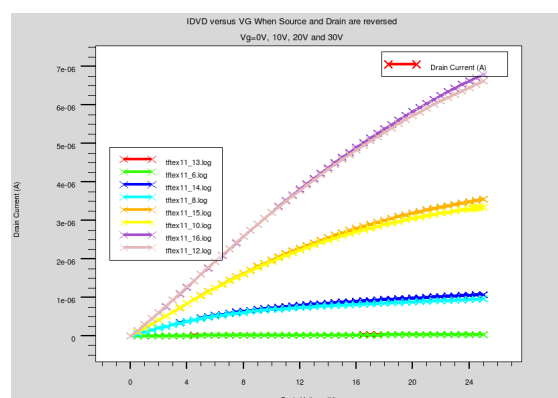


TFT の適用例

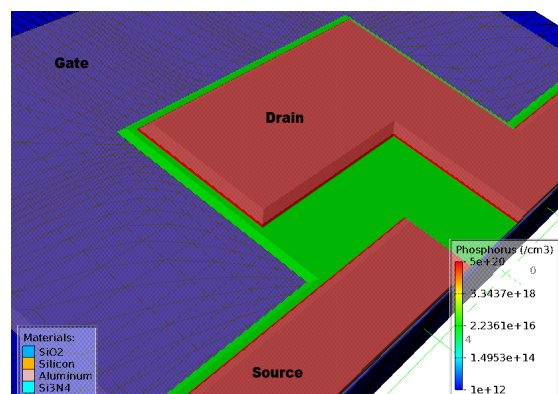
レイアウト・ドリブンの3次元n型A-Si:H TFTのシミュレーションは、ソースとドレインのコンタクトが逆転されたときのIdVd曲線における3次元特有の効果を表しています。



3次元TFT A-Si:HのIdVgシミュレーション



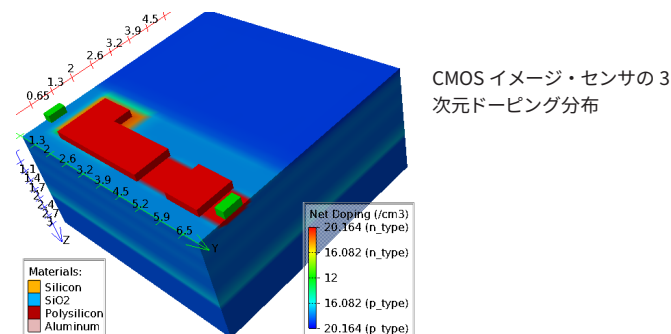
ソースとドレインを逆転させた3次元TFT A-Si:H IdVdシミュレーション



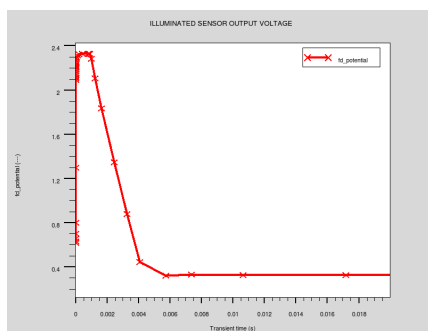
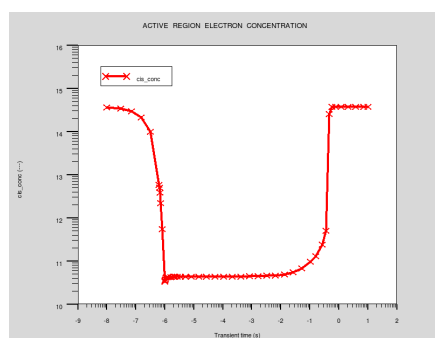
3次元TFT A-Si:H TFT構造

CMOS イメージ・センサの適用例

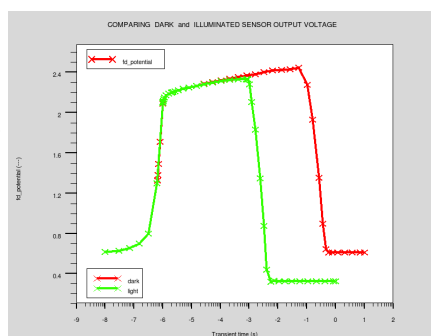
3次元プロセスおよびデバイスのシミュレーションにより、明暗条件における CMOS イメージ・センサの過渡応答を示しています。



光照射なしにおける
活性領域の電子濃度



光照射ありにおけるセンサの
出力電圧

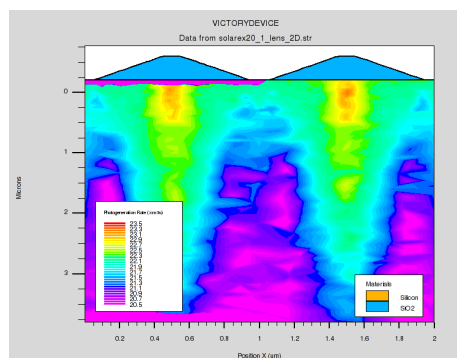
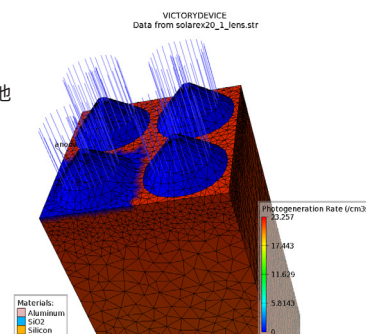


明暗条件におけるセンサの
出力電圧比較

太陽電池への適用例

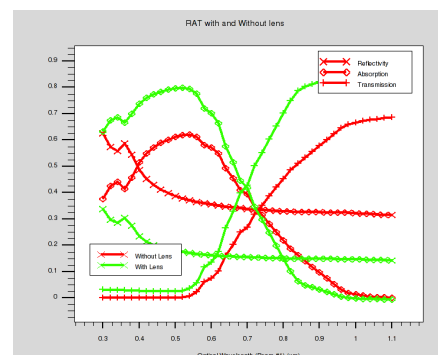
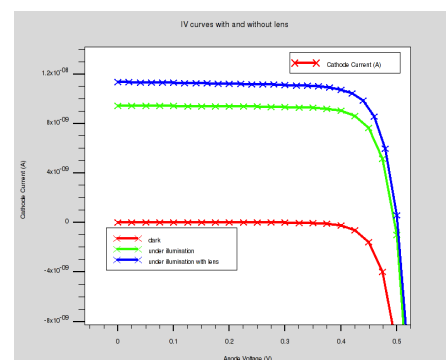
レンズあり、なしにおいて3次元太陽電池のIV特性を比較する3次元プロセスおよびデバイス・シミュレーションを行います。3次元プロセス・シミュレーションは酸化膜レンズを定義するためにマスクから開始され、シリコンのトップにある酸化膜レイヤのデポジションおよび角度を持ったエッチングで構成されます。レンズの形状はエッチングで使ったマスク・サイズおよび角度の関数として調整が可能です。デバイス・シミュレーションは3次元レイトラシングを使用して光反射、光屈折、光減衰を考慮し、レンズありなしにおける反射率(吸収率)の高低を見ることができます。

レンズありにおける太陽電池
の光キャリア発生率



光キャリア発生率の2
次元切断面

レンズあり、なしにお
ける太陽電池のIV特性

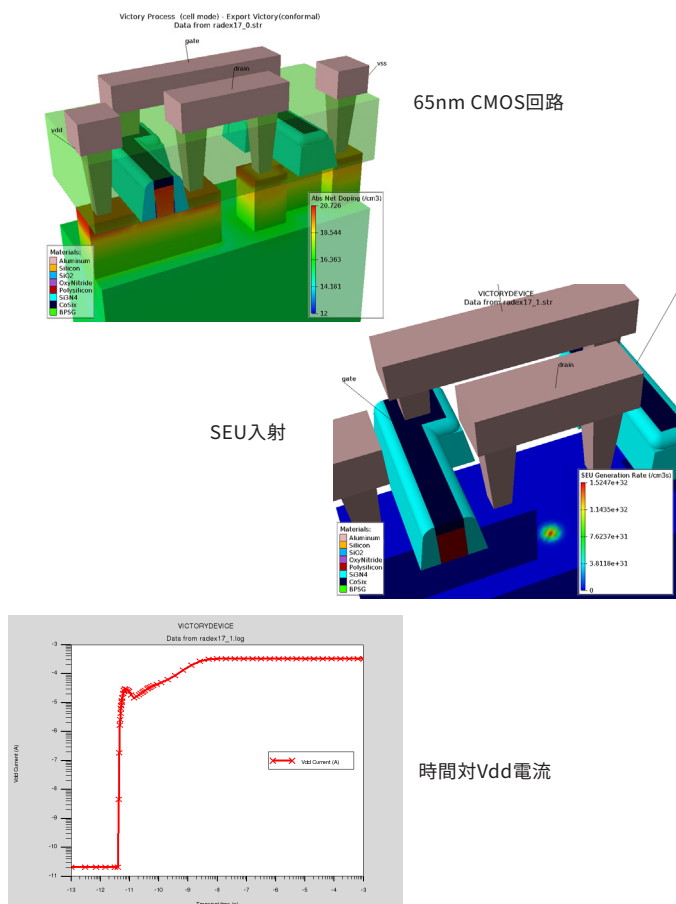


波長に対する反射、
吸収、伝送

放射線の適用例

シングル・イベントによる65nm CMOSインバータ・ラッチアップの3次元プロセスおよびデバイス・シミュレーション

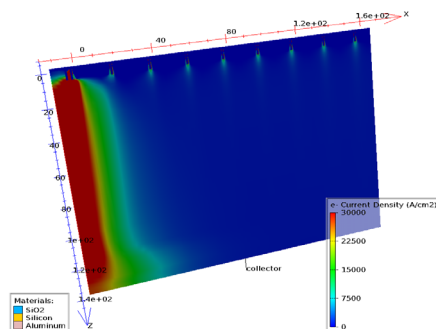
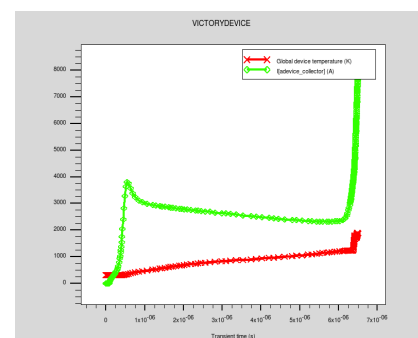
あらゆるCMOS回路に共通の問題は、ソース/ドレインコンタクト間に存在するNPNP構造に起因する寄生サイリスタの存在です。この例では、CMOS回路上のシングル・イベント・アップセット(SEU)入射によるラッチアップ効果を解析します。



IGBTパワーの適用例

出力回路に短絡回路が存在する場合にIGBTがターンオンすると、IGBTデバイス内部で局所的に電流フィラメントが進展し、熱の形で電力を消費することがあります。電流フィラメントの熱効果は破壊的であるため、IGBTの短絡動作中に発生することがあってはなりません。この例では、8セルから成るIGBTの3次元ミックスド・モード短絡シミュレーションを実行し、マルチ・セルIGBTの電流フィラメントの発生について実証します。

時間対IGBTコレクタ電流およびデバイスの最高温度



入力

- 入力コマンドファイル
- デバイス構造ファイル (形状、不純物、電極)
- 材料の物理特性データベース
- ユーザ定義のモデル

出力

- 電気特性
- デバイス構造ファイル (ポテンシャル、電界、キャリア濃度、温度)